

Family list

1 family member for: **JP7199171**

Derived from 1 application

1 LIQUID CRYSTAL DISPLAY DEVICE

Inventor: KUJI TAKAAKI; SHIMIZU HIROMASA;

Applicant: HITACHI LTD

(+4)

EC:

IPC: G02B5/20; G02F1/1335; G02B5/20 (+3)

Publication info: JP7199171 A - 1995-08-04

Data supplied from the **esp@cenet** database - Worldwide

LIQUID CRYSTAL DISPLAY DEVICE

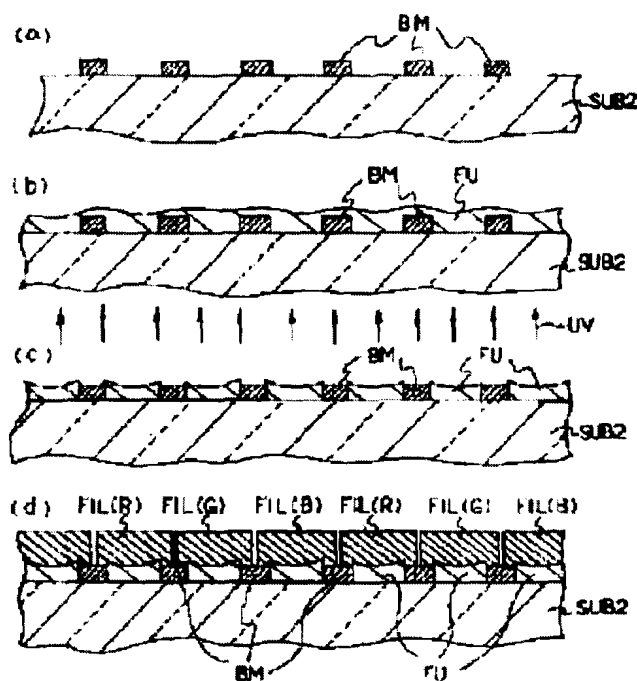
Patent number: JP7199171
Publication date: 1995-08-04
Inventor: KUJI TAKAAKI; SHIMIZU HIROMASA; SUGITANI SATOYUKI; KUBO AKIKO; HAMAMOTO TATSUO; IZUMI AKIYA
Applicant: HITACHI LTD
Classification:
- international: G02B5/20; G02F1/1335; G02B5/20; G02F1/13; (IPC1-7): G02F1/1335; G02B5/20
- european:
Application number: JP19930335371 19931228
Priority number(s): JP19930335371 19931228

Report a data error here

Abstract of JP7199171

PURPOSE: To provide a liquid crystal display device which reduces the problem or degradation in picture quality due to the step of a light shielding film or a black matrix by selectively providing the light shielding film on the surface of a transparent substrate and burying a transparent resin film in intervals of the light shielding film with the same film thickness as the light shielding film.

CONSTITUTION: A liquid crystal panel where a polarizing plate is provided on the outside of a substrate SUB2 is provided, and a black matrix BM consisting of an organic or inorganic light absorbing material and an organic resin is selectively provided on one face of the transparent glass substrate SUB2. A transparent resin film FU is buried in intervals of the black matrix BM with the same film thickness as the black matrix BM to make the transparent resin film FU and the black matrix BM approximately flat, and a color filter FIL is provided on intervals of the black matrix BM, and a transparent picture element electrode and an oriented film are provided on it. Since the black matrix BM and the transparent resin film FU are made approximately flat, the variance in threshold voltage of liquid crystal and the occurrence of domains are reduced.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-199171

(43) 公開日 平成7年(1995)8月4日

(51) Int. Cl. ⁴
G02F 1/1335
G02B 5/20

識別記号
505
101

F I

審査請求 未請求 請求項の数 3 O L (全16頁)

(21) 出願番号 特願平5-335371

(22) 出願日 平成5年(1993)12月28日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 久慈 卓見

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72) 発明者 清水 浩雅

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72) 発明者 杉谷 智行

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(74) 代理人 弁理士 中村 純之助

最終頁に続く

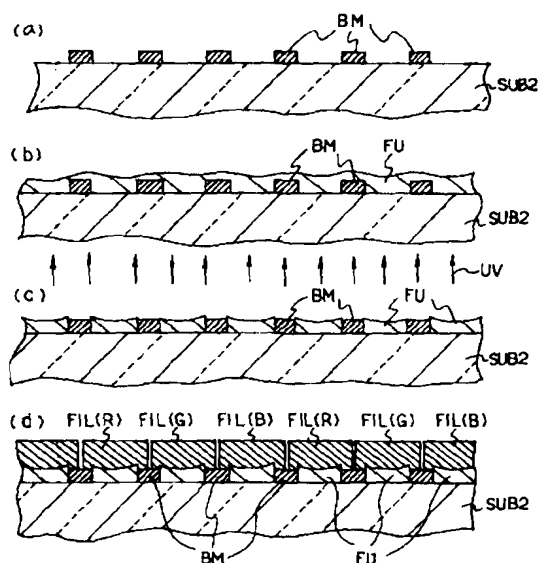
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【構成】 透明ガラス基板 (SUB 2) の面上に選択的に設けた有機系樹脂膜から成るブラックマトリクス (B M) 間を、透明樹脂膜 (F U) でほぼ同等の膜厚で埋め込んで平坦化し、その上にカラーフィルタ (F I L) を設けた構成。

【効果】 液晶層の厚さのばらつきが減少し、液晶のしきい値電圧のばらつきやドメインの発生が減少し、表示品質を向上することができる。

図1



SUB2 --- 透明ガラス基板
FU --- 透明樹脂膜
FIL(G) --- 緑色カラーフィルタ
FIL(B) --- 青色カラーフィルタ
BM --- ブラックマトリクス
FIL(R) --- 赤色カラーフィルタ
FIL(B) --- 青色カラーフィルタ

【特許請求の範囲】

【請求項 1】液晶表示パネルを構成する透明基板の面上に遮光膜を選択的に設けた液晶表示装置において、前記遮光膜の間を透明樹脂膜で前記遮光膜とほぼ同等の膜厚で埋め込んだことを特徴とする液晶表示装置。

【請求項 2】それぞれ透明画素電極と配向膜とを設けた面が対向するように 2 枚の透明ガラス基板を所定の間隙を隔てて重ね合わせ、前記両基板間の縁周囲に枠状に設けたシール材により前記両基板を貼り合わせると共に、前記シール材の内側に液晶を封止し、前記両基板の外側に偏光板を設けて成る液晶表示パネルを有し、かつ、一方の前記透明ガラス基板の面上に有機または無機の吸光性物質と有機系樹脂から成るブラックマトリクスを選択的に設けた液晶表示装置において、前記ブラックマトリクスの間を透明樹脂膜で前記ブラックマトリクスとほぼ同等の膜厚で埋め込んで、前記ブラックマトリクスと前記透明樹脂膜とをほぼ平坦化し、その上の前記ブラックマトリクス間にカラーフィルタを設け、かつ、その上に前記透明画素電極と前記配向膜を設けたことを特徴とする液晶表示装置。

【請求項 3】それぞれ透明画素電極と配向膜とを設けた面が対向するように 2 枚の透明ガラス基板を所定の間隙を隔てて重ね合わせ、前記両基板間の縁周囲に枠状に設けたシール材により前記両基板を貼り合わせると共に、前記シール材の内側に液晶を封止し、前記両基板の外側に偏光板を設けて成る液晶表示パネルを有し、かつ、一方の前記透明ガラス基板の面上に有機または無機の吸光性物質と有機系樹脂から成る膜厚約 0.5 ~ 4 μm のブラックマトリクスを選択的に設けた液晶表示装置において、前記ブラックマトリクスの間を透明樹脂膜で前記ブラックマトリクスとほぼ同等の膜厚で埋め込んで、前記ブラックマトリクスと前記透明樹脂膜とをほぼ平坦化し、その上の前記ブラックマトリクス間にカラーフィルタを設け、かつ、その上に前記カラーフィルタの保護膜、前記透明画素電極、および前記配向膜を順次設けたことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示パネル（液晶表示素子）を構成する透明基板の面上に遮光膜を選択的に設けた液晶表示装置に係り、特に、片側の透明基板にブラックマトリクスおよびカラーフィルタを設けたカラー液晶表示装置に関する。

【0002】

【従来の技術】液晶表示装置は、一般に、表示用透明画素電極と配向膜等をそれぞれ積層した面が対向するように所定の間隙を隔てて 2 枚の透明ガラス基板を重ね合わせ、該両基板間の縁部に枠状に設けたシール材により、両基板を貼り合わせると共に、シール材の一部に設けた液晶封入口から両基板間のシール材の内側に液晶を封

入、封止し、さらに両基板の外側に偏光板を設置または貼り付けて成る液晶表示パネルと、液晶表示パネルの下に配置され、液晶表示パネルに光を供給するバックライトと、液晶表示パネルの外周部の外側に配置された駆動回路基板（プリント基板）と、これらの各部材を保持するモールド成形品である枠状体と、これらの各部材を収納し、液晶表示窓がつけられた金属製フレーム等を含んで構成されている。

【0003】図 17 は、従来の液晶表示装置の液晶表示パネルを構成する 2 枚の透明ガラス基板のうち、ブラックマトリクスおよびカラーフィルタを設けた方の透明ガラス基板の要部断面図である。

【0004】すなわち、カラー液晶表示装置においては、図 17 に示すように、液晶表示パネルを構成する 2 枚の透明ガラス基板のうちの一方の透明ガラス基板 SUB2 の片方の面に、各画素の周囲に画素の輪郭をはっきりさせるためのブラックマトリクス BM が選択的に形成され、その上のブラックマトリクス BM の間の、ブラックマトリクス BM の存在しない画素部（ブラックマトリクス BM の開口部）に赤色のカラーフィルタ FIL（R）、緑色のカラーフィルタ FIL（G）、青色のカラーフィルタ FIL（B）が順次形成されている。なお、図示は省略するが、この上にカラーフィルタの保護膜、透明画素電極、および配向膜が順次形成される。

【0005】

【発明が解決しようとする課題】ブラックマトリクス BM を形成した後、3 色のカラーフィルタ FIL（R）、（G）、（B）を形成するときは、各カラーフィルタ FIL とブラックマトリクス BM との合わせずれが生じて、目あきが生じないように、各カラーフィルタ FIL の周囲の端部がブラックマトリクス BM に一部重なるように形成している。したがって、図 17 に示すように、この重なりによりカラーフィルタ FIL の周囲の端部が高くなり、該端部にブラックマトリクス BM の膜厚と同等の段差が生じてしまう。このような段差を有する透明ガラス基板 SUB2 を用いて液晶表示装置を組み立てると、この段差に起因して液晶層の厚さにむらが生じ、液晶のしきい値電圧に差が生じたり、ドメインが発生したりして、画質劣化を引き起こす原因となった。特に、ブラックマトリクスの材料として黒色に着色した有機系樹脂膜を使用する場合は、液晶表示画面の外光の反射による写り込みの問題をなくすることができるが、外光を遮光するために該ブラックマトリクスの膜厚が 1 ~ 2 μm 必要となり、ブラックマトリクスの材料として Cr（クロム）等からなる薄い蒸着金属膜を用いる場合に比べて段差が大きく、上記の画質劣化の問題が大きくなる。特に、薄膜トランジスタ等をスイッチング素子とするアクティブ・マトリクス方式のカラー液晶表示装置の場合は、ブラックマトリクスの遮光率を光学濃度 2.5 以上、望ましくは 3.0 以上を確保する必要があるため、

黒色有機系樹脂膜でブラックマトリクスを形成しようとすると、膜厚が3~5 μ mとなり、極めて大きな段差が生じ、その上にカラーフィルタを形成することができなくなる。

【0006】本発明の目的は、遮光膜またはブラックマトリクスの段差に起因する画質劣化の問題を低減することができる液晶表示装置を提供することにある。

【0007】

【課題を解決するための手段】前記目的を達成するために、本発明は、透明基板の面上に遮光膜を選択的に設けた液晶表示装置において、前記遮光膜の間を透明樹脂膜で前記遮光膜とほぼ同等の膜厚で埋め込んだことを特徴とする。

【0008】より具体的に述べると、それぞれ透明画素電極と配向膜とを設けた面が対向するように2枚の透明ガラス基板を所定の間隙を隔てて重ね合わせ、前記両基板間の縁周囲に枠状に設けたシール材により前記両基板を貼り合わせると共に、前記シール材の内側に液晶を封止し、前記両基板の外側に偏光板を設けて成る液晶表示パネルを有し、かつ、一方の前記透明ガラス基板の面上に有機または無機の吸光性物質と有機系樹脂から成るブラックマトリクスを選択的に設けた液晶表示装置において、前記ブラックマトリクスの間を透明樹脂膜で前記ブラックマトリクスとほぼ同等の膜厚で埋め込んで、前記ブラックマトリクスと前記透明樹脂膜とをほぼ平坦化し、その上の前記ブラックマトリクス間にカラーフィルタを設け、かつ、その上に前記透明画素電極と前記配向膜を設けた液晶表示装置を提供する。なお、有機系樹脂膜から成るブラックマトリクスの膜厚は約0.5~4 μ mである。

【0009】

【作用】本発明の液晶表示装置では、選択的に設けた遮光膜またはブラックマトリクスの間を透明樹脂膜でほぼ同等の膜厚で埋め込み、遮光膜またはブラックマトリクスと透明樹脂膜とをほぼ平坦化したので、液晶層の厚さのばらつきが減少し、液晶のしきい値電圧のばらつきやドメインの発生が減少し、ブラックマトリクスの段差に起因する画質劣化の問題を低減することができる。

【0010】

【実施例】本発明、本発明の更に他の目的及び本発明の更に他の特徴は図面を参照した以下の説明から明らかとなるであろう。

【0011】実施例1

図1(a)~(d)は、本発明の液晶表示装置の一実施例のブラックマトリクスおよびカラーフィルタを形成した透明ガラス基板(液晶表示パネルを構成する2枚の透明ガラス基板のうちの一方の透明ガラス基板)を製造する方法を示す工程要部断面図である。

【0012】まず、透明ガラス基板SUB2上に、黒色顔料を分散した富士ハントテクノロジー株式会社製のネ

ガ型感光性樹脂膜CK-2000を用いて、公知のフォトリソグラフィ技術により膜厚約1.5 μ mのブラックマトリクスBMを形成した(図1(a))。

【0013】次に、この上に富士ハントテクノロジー株式会社製のネガ型透明感光性樹脂膜CTをスピン塗布またはロールコータにより、ブラックマトリクスBMと同じ膜厚となるように塗布して透明樹脂膜FUを形成した後、透明ガラス基板SUB2の背面から紫外線UVを照射して全面露光した(図1(b))。

【0014】次に、透明樹脂膜FUの現像、ポストベークを行なうと、ブラックマトリクスBM上にわずかに存在した透明樹脂膜FUが除去されて、ブラックマトリクスBM間がそれとほぼ同一の膜厚の透明樹脂膜FUで埋め込まれ、ブラックマトリクスBMと透明樹脂膜FUとがほぼ平坦化された(図1(c))。なお、ポストベークは透明樹脂膜FUを十分に硬化するために行なう。

【0015】その上に、1層目のカラーフィルタとして赤色カラーフィルタを形成するために、赤色顔料を分散した富士ハントテクノロジー株式会社製の感光性赤色樹脂膜CR-2000を塗布した後、フォトリソグラフィ技術により、赤色カラーフィルタの形成領域以外の部分を除去してパターニングし、赤色カラーフィルタFIL(R)を形成した。次いで、同様に、緑色顔料を分散した富士ハントテクノロジー株式会社製の感光性緑色樹脂膜CG-2070を用いて緑色カラーフィルタFIL(G)を形成し、次いで、青色顔料を分散した富士ハントテクノロジー株式会社製の感光性青色樹脂膜CB-2000を用いて青色カラーフィルタFIL(B)を形成した(図1(d))。

【0016】この後、図示は省略するが、この上にカラーフィルタの保護膜、透明画素電極、配向膜を順次形成した後、配向膜に配向処理を施して、カラーフィルタ基板が完成する(図3参照)。

【0017】本実施例では、カラーフィルタFIL

(R)、(G)、(B)の表面には、図17に示したような従来のブラックマトリクスに起因する段差は見られなかった。したがって、この透明ガラス基板SUB2と薄膜トランジスタ、透明画素電極、配向膜等を形成したもう一方の透明ガラス基板(図3参照)とを組み合わせると液晶表示パネルを組み立てたとき、カラーフィルタの段差が原因で液晶層の厚さにむらが生じ、液晶のしきい値電圧に差が生じたり、ドメインが発生したりして、画質劣化を引き起こす現象を抑制することができる。

【0018】実施例2

本実施例では、図1(b)に示した透明樹脂膜FUの背面全面露光の代わりに、表面からブラックマトリクス露光用のマスクと反転パターンのマスクを用いて透明樹脂膜FUを露光し、現像、プリベークし、図1(c)の状態にした。その他は実施例1と同様である。本実施例では、透明樹脂膜FUのパターンとブラックマトリクスB

Mのパターンとの合せずれを極力小さくする必要がある。

【0019】実施例3

本実施例は図1(b)に示すように、透明樹脂膜F Uを塗布し、透明ガラス基板S U B 2の表面あるいは裏面から全面露光した後、透明ガラス基板S U B 2の表面から研磨し、図1(c)の状態にした。その他は実施例1と同様である。なお、本実施例では、透明樹脂膜F Uとして感光性樹脂膜を使用しなくてもよく、例えば熱架橋性透明樹脂膜を使用することができる。

【0020】なお、上記実施例では、ネガ型の感光性樹脂膜を用いたが、ポジ型の感光性樹脂膜を用いてもよい。例えば感光性透明樹脂膜F Uとしてポジ型を用いるときは、ブラックマトリクス露光用のマスクと同一パターンのマスクを用いて透明樹脂膜F Uを露光する。また、透明樹脂膜F Uとして、上記膜以外のアクリル樹脂膜やエポキシ樹脂膜等を用いてもよい。上記実施例では、ブラックマトリクスB MやカラーフィルタF I Lを形成するのに、これらの膜の塗布前に顔料を予め分散した樹脂膜を用いたが、無色の樹脂膜を塗布形成した後、

それぞれ着色してもよい。

【0021】本実施例では、ブラックマトリクスの段差による表示劣化の問題を解決することができるので、高遮光率を得るために膜厚を厚くしなければならない有機系樹脂膜を用いたブラックマトリクスを実現することができる。したがって、ブラックマトリクスB Mを設けた透明ガラス基板S U B 2が表示画面側（観察側）となる場合、この透明ガラス基板S U B 2の内面には、表示画面の広い面積を占めるブラックマトリクスB Mとして、C r等の金属膜ではなく、有機系樹脂膜を形成したので、表示画面側の外部光が表示画面で外側に反射し、画面が見にくく（鏡のようになる）、コントラストが低下し、表示品質が低下する問題を抑制することができる。また、該透明ガラス基板S U B 2と組み合わせられる薄膜トランジスタ等を形成したもう一方の透明ガラス基板側から照射されるバックライトの光が透明ガラス基板S U B 2の内面に形成されたブラックマトリクスB Mで内側に反射し、薄膜トランジスタのチャンネル形成領域となる半導体層に光が当たり、光照射による導電現象が生じ、薄膜トランジスタのオフ特性が劣化する問題も、ブラックマトリクスB Mは有機系樹脂膜から成り、光が反射しないので防止することができる。

【0022】《アクティブ・マトリクス液晶表示装置》以下、本発明が適用可能なアクティブ・マトリクス方式のカラー液晶表示装置にこの発明を適用した実施例を説明する。なお、以下説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0023】《マトリクス部の概要》図2はこの発明が適用されるアクティブ・マトリクス方式カラー液晶表示

装置の画素とその周辺を示す平面図、図3は図2の3-3切断線における断面を示す図、図4は図2の4-4切断線における断面図である。

【0024】図2に示すように、各画素は隣接する2本の走査信号線（ゲート信号線または水平信号線）G Lと、隣接する2本の映像信号線（ドレイン信号線または垂直信号線）D Lとの交差領域内（4本の信号線で囲まれた領域内）に配置されている。各画素は薄膜トランジスタT F T、透明画素電極I T O 1および保持容量素子C a d dを含む。走査信号線G Lは図では左右方向に延在し、上下方向に複数本配置されている。映像信号線D Lは上下方向に延在し、左右方向に複数本配置されている。

【0025】図3に示すように、液晶層L Cを基準にして下部透明ガラス基板S U B 1側には薄膜トランジスタT F Tおよび透明画素電極I T O 1が形成され、上部透明ガラス基板S U B 2側にはカラーフィルタF I L、遮光用ブラックマトリクスパターンB Mが形成されている。透明ガラス基板S U B 1、S U B 2の両面にはディップ処理等によって形成された酸化シリコン膜S I O が設けられている。

【0026】上部透明ガラス基板S U B 2の内側（液晶L C側）の表面には、遮光膜B M、カラーフィルタF I L、保護膜P S V 2、共通透明画素電極I T O 2（C O M）および上部配向膜O R I 2が順次積層して設けられている。

【0027】《マトリクス周辺の概要》図5は上下のガラス基板S U B 1、S U B 2を含む表示パネルP N Lのマトリクス（A R）周辺の要部平面を、図6は図5のパネル左上角部に対応するシール部S L付近の拡大平面を示す図である。また、図7は図3の断面を中央にして、左側に図6の7 a - 7 a切断線における断面を、右側に映像信号駆動回路が接続されるべき外部接続端子D T M付近の断面を示す図である。同様に図8は、左側に走査回路が接続されるべき外部接続端子G T M付近の断面を、右側に外部接続端子が無いところのシール部付近の断面を示す図である。

【0028】このパネルの製造では、小さいサイズであればスループット向上のため1枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のためどの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経てからガラスを切断する。図5、図6は後者の例を示すもので、図5は上下基板S U B 1、S U B 2の切断後を、図6は切断前を表しており、L Nは両基板の切断前の縁を、C T 1とC T 2はそれぞれ基板S U B 1、S U B 2の切断すべき位置を示す。いずれの場合も、完成状態では外部接続端子群T g、T d（添字略）が存在する（図で上下辺と左辺の）部分はそれらを露出するように上側

10

20

30

40

50

基板SUB 2の大きさがF側基板SUB 1よりも内側に制限されている。端子群Tg、Tdはそれぞれ後述する走査回路接続用端子GTM、映像信号回路接続用端子DTMとそれらの引出配線部を集積回路チップCHIが搭載されたテープキャリアパッケージTCP（図14、図15）の単位に複数本まとめて名付けたものである。各群のマトリクス部から外部接続端子部に至るまでの引出配線は、両端に近づくにつれ傾斜している。これは、パッケージTCPの配列ピッチ及び各パッケージTCPにおける接続端子ピッチに表示パネルPNLの端子DTM、GTMを合わせるためである。

【0029】透明ガラス基板SUB 1、SUB 2の間にはその縁に沿って、液晶封入口INJを除き、液晶LCを封止するようにシールパターンSLが形成される。シール材は例えばエポキシ樹脂から成る。上部透明ガラス基板SUB 2側の共通透明画素電極ITO2は、少なくとも一箇所において、本実施例ではパネルの4角で銀ペースト材AGPによって下部透明ガラス基板SUB 1側に形成されたその引出配線INTに接続されている。この引出配線INTは後述するゲート端子GTM、ドレイン端子DTMと同一製造工程で形成される。

【0030】配向膜ORI 1、ORI 2、透明画素電極ITO1、共通透明画素電極ITO2、それぞれの層は、シールパターンSLの内側に形成される。偏光板POL 1、POL 2はそれぞれ下部透明ガラス基板SUB 1、上部透明ガラス基板SUB 2の外側の表面に形成されている。液晶LCは液晶分子の向きを設定する下部配向膜ORI 1と上部配向膜ORI 2との間でシールパターンSLで仕切られた領域に封入されている。下部配向膜ORI 1は下部透明ガラス基板SUB 1側の保護膜PSV 1の上部に形成される。

【0031】この液晶表示装置は、下部透明ガラス基板SUB 1側、上部透明ガラス基板SUB 2側で別個に種々の層を積み重ね、シールパターンSLを基板SUB 2側に形成し、下部透明ガラス基板SUB 1と上部透明ガラス基板SUB 2とを重ね合わせ、シール材SLの開口部INJから液晶LCを注入し、注入口INJをエポキシ樹脂などで封止し、上下基板を切断することによって組み立てられる。

【0032】《薄膜トランジスタTFT》次に、図2、図3に戻り、TFT基板SUB 1側の構成を詳しく説明する。

【0033】薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソースドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

【0034】各画素には複数（2つ）の薄膜トランジスタTFT 1、TFT 2が冗長して設けられる。薄膜トランジスタTFT 1、TFT 2のそれぞれは、実質的に同一サイズ（チャネル長、チャネル幅が同じ）で構成さ

れ、ゲート電極GT、ゲート絶縁膜GI、i型（真性、intrinsic、導電型決定不純物がドーピングされていない）非晶質シリコン（Si）からなるi型半導体層AS、一対のソース電極SD 1、ドレイン電極SD 2を有す。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

【0035】《ゲート電極GT》ゲート電極GTは走査信号線GLから垂直方向に突出する形状で構成されている（T字形状に分岐されている）。ゲート電極GTは薄膜トランジスタTFT 1、TFT 2のそれぞれの能動領域を越えるよう突出している。薄膜トランジスタTFT 1、TFT 2のそれぞれのゲート電極GTは、一体に（共通のゲート電極として）構成されており、走査信号線GLに連続して形成されている。本例では、ゲート電極GTは、単層の第2導電膜g 2で形成されている。第2導電膜g 2としては例えばスパッタで形成されたアルミニウム（Al）膜が用いられ、その上にはAlの陽極酸化膜AOFが設けられている。

【0036】このゲート電極GTはi型半導体層ASを完全に覆うよう（下方からみて）それより大き目に形成され、i型半導体層ASに外光やバックライト光が当たらないよう工夫されている。

【0037】《走査信号線GL》走査信号線GLは第2導電膜g 2で構成されている。この走査信号線GLの第2導電膜g 2はゲート電極GTの第2導電膜g 2と同一製造工程で形成され、かつ一体に構成されている。また、走査信号線GL上にもAlの陽極酸化膜AOFが設けられている。

【0038】《絶縁膜GI》絶縁膜GIは、薄膜トランジスタTFT 1、TFT 2において、ゲート電極GTと共に半導体層ASに電界を与えるためのゲート絶縁膜として使用される。絶縁膜GIはゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜GIとしては例えばプラズマCVDで形成された窒化シリコン膜が選ばれ、1200～2700Åの厚さに（本実施例では、2000Å程度）形成される。ゲート絶縁膜GIは図6に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去されている。絶縁膜GIは走査信号線GLと映像信号線DLの電氣的絶縁にも寄与している。

【0039】《i型半導体層AS》i型半導体層ASは、本例では薄膜トランジスタTFT 1、TFT 2のそれぞれに独立した島となるよう形成され、非晶質シリコンで、200～2200Åの厚さに（本実施例では、2000Å程度の膜厚）で形成される。層d 0はオーミックコンタクト用のリン（P）をドーピングしたN（+）型非晶

10

20

30

40

50

質シリコン半導体層であり、下側にi型半導体層ASが存在し、上側に導電膜d2(d3)が存在するところのみに残されている。

【0040】i型半導体層ASは走査信号線GLと映像信号線DLとの交差部(クロスオーバー部)の両者間にも設けられている。この交差部のi型半導体層ASは交差部における走査信号線GLと映像信号線DLとの短絡を低減する。

【0041】《透明画素電極ITO1》透明画素電極ITO1は液晶表示部の画素電極の一方を構成する。

【0042】透明画素電極ITO1は薄膜トランジスタTFT1のソース電極SD1および薄膜トランジスタTFT2のソース電極SD1の両方に接続されている。このため、薄膜トランジスタTFT1、TFT2のうちの1つに欠陥が発生しても、その欠陥が副作用をもたらす場合はレーザー光等によって適切な箇所を切断し、そうでない場合は他方の薄膜トランジスタが正常に動作しているので放置すれば良い。透明画素電極ITO1は第1導電膜d1によって構成されており、この第1導電膜d1はスパッタリングで形成された透明導電膜(Indium-Tin-oxide ITO:ネサ膜)からなり、1000~2000Åの厚さに(本実施例では、1400Å程度の膜厚)形成される。

【0043】《ソース電極SD1、ドレイン電極SD2》ソース電極SD1、ドレイン電極SD2のそれぞれは、N(+)型半導体層d0に接触する第2導電膜d2とその上に形成された第3導電膜d3とから構成されている。

【0044】第2導電膜d2はスパッタで形成したクロム(Cr)膜を用い、500~1000Åの厚さに(本実施例では、600Å程度)で形成される。Cr膜は膜厚を厚く形成するとストレスが大きくなるので、2000Å程度の膜厚を越えない範囲で形成する。Cr膜はN(+)型半導体層d0との接着性を良好にし、第3導電膜d3のAlがN(+)型半導体層d0に拡散することを防止する(いわゆるバリア層の)目的で使用される。第2導電膜d2として、Cr膜の他に高融点金属(Mo、Ti、Ta、W)膜、高融点金属シリサイド(MoSi₂、TiSi₂、TaSi₂、WSi₂)膜を用いてもよい。

【0045】第3導電膜d3はAlのスパッタリングで3000~5000Åの厚さに(本実施例では、4000Å程度)形成される。Al膜はCr膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極SD1、ドレイン電極SD2および映像信号線DLの抵抗値を低減したり、ゲート電極GTやi型半導体層ASに起因する段差乗り越えを確実にする(ステップカバーレージを良くする)働きがある。

【0046】第2導電膜d2、第3導電膜d3を同じマスクパターンでパターンニングした後、同じマスクを用い

て、あるいは第2導電膜d2、第3導電膜d3をマスクとして、N(+)型半導体層d0が除去される。つまり、i型半導体層AS上に残っていたN(+)型半導体層d0は第2導電膜d2、第3導電膜d3以外の部分がセルフアラインで除去される。このとき、N(+)型半導体層d0はその厚さ分は全て除去されるようエッチングされるので、i型半導体層ASも若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

10 【0047】《映像信号線DL》映像信号線DLはソース電極SD1、ドレイン電極SD2と同層の第2導電膜d2、第3導電膜d3で構成されている。

【0048】《保護膜PSV1》薄膜トランジスタTFTおよび透明画素電極ITO1上には保護膜PSV1が設けられている。保護膜PSV1は主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1はたとえばプラズマCVD装置で形成した酸化シリコン膜や窒化シリコン膜で形成されており、1μm程度の膜厚で形成する。

20 【0049】保護膜PSV1は図6に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去され、また上基板側SUB2の共通電極COMを下側基板SUB1の外部接続端子接続用引出配線INTに銀ペーストAGPで接続する部分も除去されている。保護膜PSV1とゲート絶縁膜GIの厚さ関係に関しては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンスgmを薄くされる。従って図6に示すように、保護効果の高い保護膜PSV1は周辺部もできるだけ広い範囲に亘って保護するようゲート絶縁膜GIよりも大きく形成されている。

【0050】《遮光膜BM》上部透明ガラス基板SUB2側には、外部光又はバックライト光がi型半導体層ASに入射しないよう遮光膜BMが設けられている。図2に示す遮光膜BMの閉じた多角形の輪郭線は、その内側が遮光膜BMが形成されない開口を示している。遮光膜BMは、黒色顔料を添加した有機系樹脂膜で形成されている。本実施例では、富士ハントテクノロジー株式会社製のネガ型感光性樹脂膜CK-2000で1.5μm程度の厚さに形成される。なお、遮光膜BMの間は、透明樹脂膜FUで埋め込まれて平坦化され、その上にカラーフィルタFILが形成されている。本実施例では、透明樹脂膜FUは、富士ハントテクノロジー株式会社製のネガ型透明感光性樹脂膜CTで形成される。なお、遮光膜BMは光に対する遮蔽性が高いたとえばアルミニウム膜やクロム膜等で形成してもよく、例えばクロム膜がスパッタリングで1300Å程度の厚さに形成される。

【0051】従って、薄膜トランジスタTFT1、TFT2のi型半導体層ASは上下にある遮光膜BMおよび

大きなゲート電極G Tによってサンドイッチにされ、外部の自然光やバックライト光が当たらなくなる。遮光膜B Mは各画素の周囲に格子状に形成され（いわゆるブラックマトリクス）、この格子で1画素の有効表示領域が仕切られている。従って、各画素の輪郭が遮光膜B Mによってはっきりとし、コントラストが向上する。つまり、遮光膜B Mはi型半導体層A Sに対する遮光とブラックマトリクスとの2つの機能をもつ。

【0052】透明画素電極I T O 1のラビング方向の根本側のエッジ部分（図2右下部分）も遮光膜B Mによって遮光されているので、上記部分にドメインが発生したとしても、ドメインが見えないので、表示特性が劣化することはない。

【0053】遮光膜B Mは周辺部にも額縁状に形成され、そのパターンはドット状に複数の開口を設けた図2に示すマトリクス部のパターンと連続して形成されている。周辺部の遮光膜B Mは図7、図8に示すように、シール部S Lの外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防いでいる。他方、この遮光膜B Mは基板S U B 2の縁よりも約0. 3～1. 0mm程内側に留められ、基板S U B 2の切断領域を避けて形成されている。

【0054】《カラーフィルタF I L》カラーフィルタF I Lは画素に対向する位置に赤、緑、青の繰り返しでストライプ状に形成される。カラーフィルタF I Lは透明画素電極I T O 1の全てを覆うように大き目に形成され、遮光膜B MはカラーフィルタF I Lおよび透明画素電極I T O 1のエッジ部分と重なるよう透明画素電極I T O 1の周縁部より内側に形成されている。

【0055】カラーフィルタF I Lは次のように形成することができる。まず、上部透明ガラス基板S U B 2の表面にアクリル系樹脂等の染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタRを形成する。つぎに、同様な工程を施すことによって、緑色フィルタG、青色フィルタBを順次形成する。

【0056】《保護膜P S V 2》保護膜P S V 2はカラーフィルタF I Lの染料が液晶L Cに漏れることを防止するために設けられている。保護膜P S V 2はたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

【0057】《共通透明画素電極I T O 2》共通透明画素電極I T O 2は、下部透明ガラス基板S U B 1側に画素ごとに設けられた透明画素電極I T O 1に対向し、液晶L Cの光学的な状態は各画素電極I T O 1と共通透明画素電極I T O 2との間の電位差（電界）にตอบสนองして変化する。この共通透明画素電極I T O 2にはコモン電圧V comが印加されるように構成されている。本実施例では、コモン電圧V comは映像信号線D Lに印加される最

小レベルの駆動電圧V dminと最大レベルの駆動電圧V dmaxとの中間直流電位に設定されるが、映像信号駆動回路で使用される集積回路の電源電圧を約半分に低減したい場合は、交流電圧を印加すれば良い。なお、共通透明画素電極I T O 2の平面形状は図6を参照されたい。

【0058】《保持容量素子Caddの構造》透明画素電極I T O 1は、薄膜トランジスタT F Tと接続される端部と反対側の端部において、隣りの走査信号線G Lと重なるように形成されている。この重ね合わせは、図4からも明らかなように、透明画素電極I T O 1を一方の電極P L 2とし、隣りの走査信号線G Lを他方の電極P L 1とする保持容量素子（静電容量素子）Caddを構成する。この保持容量素子Caddの誘電体膜は、薄膜トランジスタT F Tのゲート絶縁膜として使用される絶縁膜G 1および陽極酸化膜A O Fで構成されている。

【0059】保持容量素子Caddは走査信号線G Lの第2導電膜g 2の幅を広げた部分に形成されている。なお、映像信号線D Lと交差する部分の第2導電膜g 2は映像信号線D Lとの短絡の確率を小さくするため細くされている。

【0060】保持容量素子Caddの電極P L 1の段差部において透明画素電極I T O 1が断線しても、その段差をまたがるように形成された第2導電膜d 2および第3導電膜d 3で構成された島領域によってその不良は補償される。

【0061】《ゲート端子部》図9は表示マトリクスの走査信号線G Lからその外部接続端子G T Mまでの接続構造を示す図であり、（A）は平面であり（B）は（A）のB-B切断線における断面を示している。なお、同図は図6下方付近に対応し、斜め配線の部分は便宜状一直線状で表した。

【0062】A Oは写真処理用のマスクパターン、言い換えれば選択的陽極酸化のホトレジストパターンである。従って、このホトレジストは陽極酸化後除去され、図に示すパターンA Oは完成品としては残らないが、ゲート配線G Lには断面図に示すように酸化膜A O Fが選択的に形成されるのでその軌跡が残る。平面図において、ホトレジストの境界線A Oを基準にして左側はレジストで覆い陽極酸化をしない領域、右側はレジストから露出され陽極酸化される領域である。陽極酸化されたA L層g 2は表面にその酸化物A l₂O₃膜A O Fが形成され下方の導電部は体積が減少する。勿論、陽極酸化はその導電部が残るように適切な時間、電圧などを設定して行われる。マスクパターンA Oは走査線G Lに単一の直線では交差せず、クランク状に折れ曲がって交差させている。

【0063】図中A L層g 2は、判り易くするためハッチを施してあるが、陽極化成立されない領域は櫛状にパターンニングされている。これは、A 1層の幅が広いと表面にホイスカが発生するので、1本1本の幅は狭くし、そ

れらを複数本並列に束ねた構成とすることにより、ホイスカの発生を防ぎつつ、断線の確率や導電率の犠牲を最低限に押さえる狙いである。従って、本例では櫛の根本に相当する部分もマスクAOに沿ってずらしている。

【0064】ゲート端子GTMは酸化珪素SIO層と接着性が良くAl等よりも耐電触性の高いCr層g1と、更にその表面を保護し画素電極ITO1と同レベル（同層、同時形成）の透明導電層d1とで構成されている。なお、ゲート絶縁膜GI上及びその側面部に形成された導電層d2及びd3は、導電層d3やd2のエッチング時ピンホール等が原因で導電層g2やg1と一緒にエッチングされないようその領域をホトレジストで覆っていた結果として残っているものである。又、ゲート絶縁膜GIを乗り越えて右方向に延長されたITO層d1は同様な対策を更に万全とさせたものである。

【0065】平面図において、ゲート絶縁膜GIはその境界線よりも右側に、保護膜PSV1もその境界線よりも右側に形成されており、左端に位置する端子部GTMはそれらから露出し外部回路との電氣的接触ができるようになっている。図では、ゲート線GLとゲート端子の一つの対のみが示されているが、実際はこのような対が図6に示すように上下に複数本並べられ端子群Tg（図6）が構成され、ゲート端子の左端は、製造過程では、基板の切断領域CT1を越えて延長され配線SHgによって短絡される。製造過程におけるこのような短絡線SHgは陽極化成時の給電と、配向膜ORIIのラビング時等の静電破壊防止に役立つ。

【0066】《ドレイン端子DTM》図10は映像信号線DLからその外部接続端子DTMまでの接続を示す図であり、(A)はその平面を示し、(B)は(A)のB-B切断線における断面を示す。なお、同図は図6右上付近に対応し、図面の向きは便宜上変えてあるが右端方向が基板SUB1の上端部（又は下端部）に該当する。

【0067】TSTdは検査端子でありここには外部回路は接続されないが、プローブ針等を接触できるよう配線部より幅が広がられている。同様に、ドレイン端子DTMも外部回路との接続ができるよう配線部より幅が広がられている。検査端子TSTdと外部接続ドレイン端子DTMは上下方向に千鳥状に複数交互に配列され、検査端子TSTdは図に示すとおり基板SUB1の端部に到達することなく終端しているが、ドレイン端子DTMは、図6に示すように端子群Td（添字省略）を構成し基板SUB1の切断線CT1を越えて更に延長され、製造過程では静電破壊防止のためその全てが互いに配線SHdによって短絡される。検査端子TSTdが存在する映像信号線DLのマトリクスを挟んで反対側にはドレイン接続端子が接続され、逆にドレイン接続端子DTMが存在する映像信号線DLのマトリクスを挟んで反対側には検査端子が接続される。

【0068】ドレイン接続端子DTMは前述したゲート

端子GTMと同様な理由でCr層g1及びITO層d1の2層で形成されており、ゲート絶縁膜GIを除去した部分で映像信号線DLと接続されている。ゲート絶縁膜GIの端部に形成された半導体層ASはゲート絶縁膜GIの縁をテーパ状にエッチングするためのものである。端子DTM上では外部回路との接続を行うため保護膜PSV1は勿論のこと取り除かれている。AOは前述した陽極酸化マスクでありその境界線はマトリクス全体を大きく囲むように形成され、図ではその境界線から左側がマスクで覆われるが、この図で覆われない部分には層g2が存在しないのでこのパターンは直接は関係しない。

【0069】マトリクス部からドレイン端子部DTMまでの引出配線は図7の(C)部にも示されるように、ドレイン端子部DTMと同じレベルの層d1、g1のすぐ上に映像信号線DLと同じレベルの層d2、d3がシールパターンSLの途中まで積層された構造になっているが、これは断線の確率を最小限に押さえ、電触し易いAl層d3を保護膜PSV1やシールパターンSLでできるだけ保護する狙いである。

【0070】《表示装置全体等価回路》表示マトリクス部の等価回路とその周辺回路の結線図を図11に示す。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。ARは複数の画素を二次元状に配列したマトリクス・アレイである。

【0071】図中、Xは映像信号線DLを意味し、添字G、BおよびRがそれぞれ緑、青および赤画素に対応して付加されている。Yは走査信号線GLを意味し、添字1、2、3、…、endは走査タイミングの順序に従って付加されている。

【0072】映像信号線X（添字省略）は交互に上側（または奇数）映像信号駆動回路He、下側（または偶数）映像信号駆動回路Hoに接続されている。

【0073】走査信号線Y（添字省略）は垂直走査回路Vに接続されている。

【0074】SUPは1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト（上位演算処理装置）からのCRT（陰極線管）用の情報をTF T液晶表示装置用の情報に交換する回路を含む回路である。

【0075】《保持容量素子Caddの働き》保持容量素子Caddは、薄膜トランジスタTF Tがスイッチングするとき、中点電位（画素電極電位）Vlcに対するゲート電位変化ΔVgの影響を低減するように働く。この様子を式で表すと、次のようになる。

【0076】

$$\Delta V_{lc} = \{C_{gs} / (C_{gs} + C_{add} + C_{pix})\} \times \Delta V_g$$

ここで、Cgsは薄膜トランジスタTF Tのゲート電極GTとソース電極SD1との間に形成される寄生容量、Cpixは透明画素電極ITO1（PIX）と共通透明画素

電極ITO2 (COM) との間に形成される容量、 ΔV_{lc} は ΔV_g による画素電極電位の変化分を表わす。この変化分 ΔV_{lc} は液晶LCに加わる直流成分の原因となるが、保持容量 C_{add} を大きくすればする程、その値を小さくすることができる。また、保持容量素子 C_{add} は放電時間を長くする作用もあり、薄膜トランジスタTFTがオフした後の映像情報を長く蓄積する。液晶LCに印加される直流成分の低減は、液晶LCの寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

【0077】前述したように、ゲート電極GTはi型半導体層ASを完全に覆うよう大きくされている分、ソース電極SD1、ドレイン電極SD2とのオーバーラップ面積が増え、従って寄生容量 C_{gs} が大きくなり、中点電位 V_{lc} はゲート(走査)信号 V_g の影響を受け易くなるという逆効果が生じる。しかし、保持容量素子 C_{add} を設けることによりこのデメリットも解消することができる。

【0078】保持容量素子 C_{add} の保持容量は、画素の書込特性から、液晶容量 C_{pix} に対して4~8倍($4 \cdot C_{pix} < C_{add} < 8 \cdot C_{pix}$)、寄生容量 C_{gs} に対して8~32倍($8 \cdot C_{gs} < C_{add} < 32 \cdot C_{gs}$)程度の値に設定する。

【0079】保持容量電極線としてのみ使用される初段の走査信号線GL(Y_0)は共通透明画素電極ITO2(V_{com})と同じ電位にする。図6の例では、初段の走査信号線は端子GT0、引出線INT、端子DT0及び外部配線を通じて共通電極COMに短絡される。或いは、初段の保持容量電極線 Y_0 は最終段の走査信号線 Y_{end} に接続、 V_{com} 以外の直流電位点(交流接地点)に接続するかまたは垂直走査回路Vから1つ余分に走査パルス Y_0 を受けると接続してもよい。

【0080】《液晶表示モジュールの全体構成》図12は、液晶表示モジュールMDLの各構成部品を示す分解斜視図である。

【0081】SHDは金属板から成る枠状のシールドケース(メタルフレーム)、LCWはその表示窓、PNLは液晶表示パネル、SPBは光拡散板、MFRは中間フレーム、BLはバックライトの光源である冷陰極蛍光灯、BLSはバックライト支持体、LCAは下側ケースであり、図に示すような上下の配置関係で各部材が積み重ねられてモジュールMDLが組み立てられる。

【0082】モジュールMDLは、シールドケースSHDに設けられた爪CLとフックFKによって全体が固定されるようになっている。

【0083】中間フレームMFRは表示窓LCWに対応する開口が設けられるように枠状に形成され、その枠部分には拡散板SPB、バックライト支持体BLS並びに各種回路部品の形状や厚みに応じた凹凸や、放熱用の開口が設けられている。

【0084】下側ケースLCAはバックライト光の反射体も兼ねており、効率のよい反射ができるよう、蛍光管BLに対応して反射山RMが形成されている。

【0085】《表示パネルPNLと駆動回路基板PCB1》図13は、図5等にした表示パネルPNLに映像信号駆動回路He、Hoと垂直走査回路Vを接続した状態を示す上面図である。

【0086】CHIは表示パネルPNLを駆動させる駆動ICチップ(下側の3個は垂直走査回路側の駆動ICチップ、左右の6個ずつは映像信号駆動回路側の駆動ICチップ)である。TCPは図14、図15で後述するように駆動用ICチップCHIがテープ・オートメイト・ボンディング法(TAB)により実装されたテープキャリアパッケージ、PCB1は上記TCPやコンデンサCDS等が実装された駆動回路基板で、3つに分割されている。FGPはフレームグランドパッドであり、シールドケースSHDに切り込んで設けられたバナ状の破片FGが半田付けされる。FCは下側の駆動回路基板PCB1と左側の駆動回路基板PCB1、および下側の駆動回路基板PCB1と右側の駆動回路基板PCB1とを電気的に接続するフラットケーブルである。フラットケーブルFCとしては図に示すように、複数のリード線(りん青銅の素材にSn鍍金を施したもの)をストライプ状のポリエチレン層とポリビニルアルコール層とでサンドイッチして支持したものを使用する。

【0087】《TCPの接続構造》図14は走査信号駆動回路Vや映像信号駆動回路He、Hoを構成する、集積回路チップCHIがフレキシブル配線基板に搭載されたテープキャリアパッケージTCPの断面構造を示す図であり、図15はそれを液晶表示パネルの、本例では映像信号回路用端子DTMに接続した状態を示す要部断面図である。

【0088】同図において、TTBは集積回路CHIの入力端子・配線部であり、TTMは集積回路CHIの出力端子・配線部であり、例えばCuから成り、それぞれの内側の先端部(通称インナーリード)には集積回路CHIのボンディングパッドPADがいわゆるフェースダウンボンディング法により接続される。端子TTB、TTMの外側の先端部(通称アウターリード)はそれぞれ半導体集積回路チップCHIの入力及び出力に対応し、半田付け等によりCRT/TFT変換回路・電源回路SUPに、異方性導電膜ACFによって液晶表示パネルPNLに接続される。パッケージTCPは、その先端部がパネルPNL側の接続端子DTMを露出した保護膜PSV1を覆うようにパネルに接続されており、従って、外部接続端子DTM(GTM)は保護膜PSV1かパッケージTCPの少なくとも一方で覆われるので電触に対して強くなる。

【0089】BF1はポリイミド等からなるベースフィルムであり、SRSは半田付けの際半田が余計なところ

へつかないようにマスクするためのソルダレジスト膜である。シールパターン S L の外側の上下ガラス基板の隙間は洗浄後エポキシ樹脂 E P X 等により保護され、パッケージ T C P と上側基板 S U B 2 の間には更にシリコン樹脂 S I L が充填され保護が多重化されている。

【 0 0 9 0 】《駆動回路基板 P C B 2》中間フレーム M F R に保持・収納される液晶表示部 L C D の駆動回路基板 P C B 2 は、図 1 6 に示すように、L 字形をしており、I C、コンデンサ、抵抗等の電子部品が搭載されている。この駆動回路基板 P C B 2 には、1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路や、ホスト（上位演算処理装置）からの C R T（陰極線管）用の情報を T F T 液晶表示装置用の情報に変換する回路を含む回路 S U P が搭載されている。C J は外部と接続される図示しないコネクタが接続されるコネクタ接続部である。駆動回路基板 P C B 2 とインバータ回路基板 P C B 3 とはバックライトケーブルにより中間フレーム M F R に設けたコネクタ穴を介して電氣的に接続される。

【 0 0 9 1 】駆動回路基板 P C B 1 と駆動回路基板 P C B 2 とは折り曲げ可能なフラットケーブル F C により電氣的に接続されている。組立て時、駆動回路基板 P C B 2 は、フラットケーブル F C を 180° 折り曲げることににより駆動回路基板 P C B 1 の裏側に重ねられ、中間フレーム M F R の所定の凹部に嵌合される。

【 0 0 9 2 】以上、本発明を上記実施例に基づいて具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。例えば、上記実施例では、ブラックマトリクス B M として有機系樹脂膜を用いたが、光に対する遮蔽性が高いアルミニウム膜やクロム膜等をスパッタリング法や蒸着法により形成してもよい。また、本発明は、アクティブ・マトリクス方式の液晶表示装置に限らず、単純マトリクス方式の液晶表示装置にも適用可能である。

【 0 0 9 3 】

【発明の効果】以上説明したように、本発明では、選択的に設けた遮光膜またはブラックマトリクスの間を透明樹脂膜でほぼ同等の膜厚で埋め込み、遮光膜またはブラックマトリクスと透明樹脂膜とをほぼ平坦化したので、液晶層の厚さのばらつきが減少し、液晶のしきい値電圧のばらつきやドメインの発生が減少し、表示品質を向上することができる。

【図面の簡単な説明】

【図 1】（a）～（d）は、本発明の液晶表示装置の一

実施例のブラックマトリクスおよびカラーフィルタを形成した透明ガラス基板を製造する方法を示す工程要部断面図である。

【図 2】この発明が適用されるアクティブ・マトリクス方式のカラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

【図 3】図 2 の 3 - 3 切断線における 1 画素とその周辺を示す断面図である。

【図 4】図 2 の 4 - 4 切断線における付加容量 C a d d の断面図である。

【図 5】表示パネルのマトリクス周辺部の構成を説明するための平面図である。

【図 6】上下基板の電氣的接続部を含む表示パネルの角部の拡大平面図である。

【図 7】マトリクスの画素部を中央に、両側にパネル角付近と映像信号端子部付近を示す断面図である。

【図 8】左側に走査信号端子、右側に外部接続端子の無いパネル縁部分を示す断面図である。

【図 9】ゲート端子 G T M とゲート配線 G L の接続部近辺を示す平面と断面の図である。

【図 1 0】ドレイン端子 D T M と映像信号線 D L との接続部付近を示す平面と断面の図である。

【図 1 1】アクティブ・マトリクス方式のカラー液晶表示装置のマトリクス部とその周辺を含む回路図である。

【図 1 2】液晶表示モジュールの分解斜視図である。

【図 1 3】液晶表示パネルに周辺の駆動回路を実装した状態を示す上面図である。

【図 1 4】駆動回路を構成する集積回路チップ C H I がフレキシブル配線基板上に搭載されたテープキャリアパッケージ T C P の断面構造を示す図である。

【図 1 5】テープキャリアパッケージ T C P を液晶表示パネル P N L の映像信号回路用端子 D T M に接続した状態を示す要部断面図である。

【図 1 6】周辺駆動回路基板 P C B 1（上面が見える）と電源回路回路基板 P C B 2（下面が見える）との接続状態を示す上面図である。

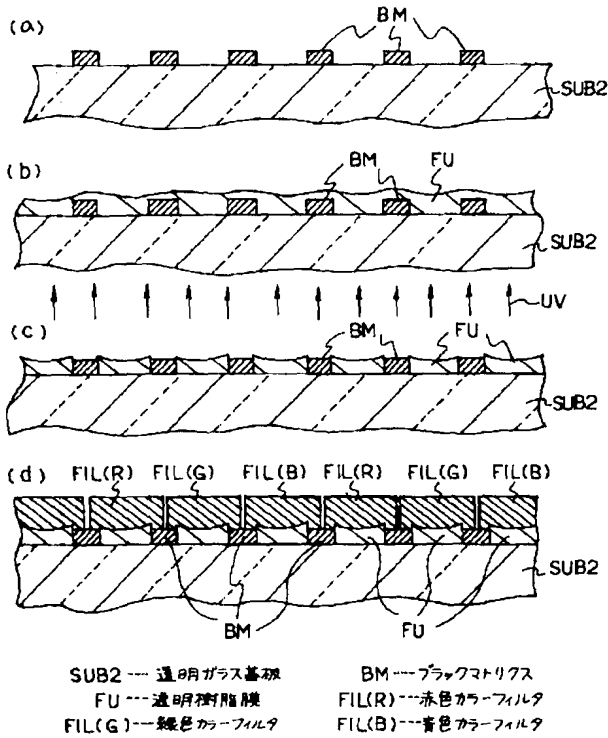
【図 1 7】従来のブラックマトリクスおよびカラーフィルタを設けた透明ガラス基板の要部断面図である。

【符号の説明】

S U B 2 …透明ガラス基板、B M …ブラックマトリクス、F U …透明樹脂膜、F I L（R）…赤色カラーフィルタ、F I L（G）…緑色カラーフィルタ、F I L（B）…青色カラーフィルタ。

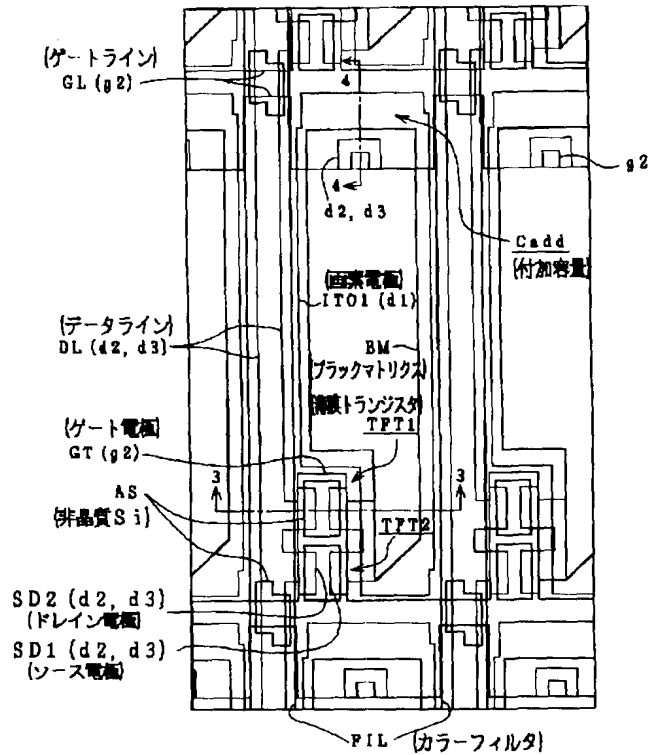
【図 1】

図 1



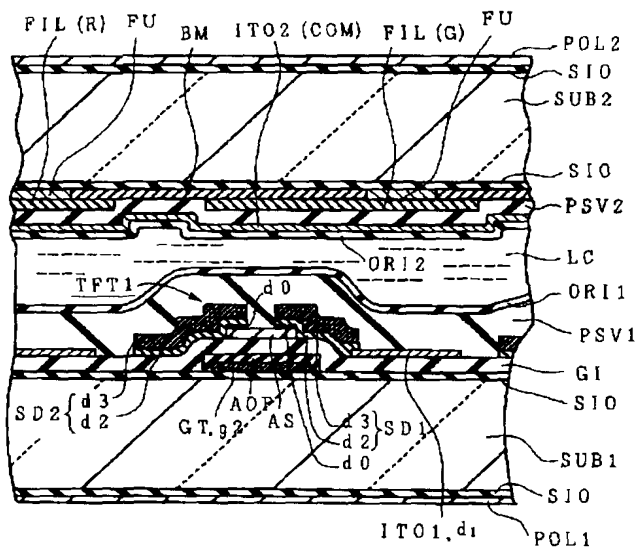
【図 2】

図 2



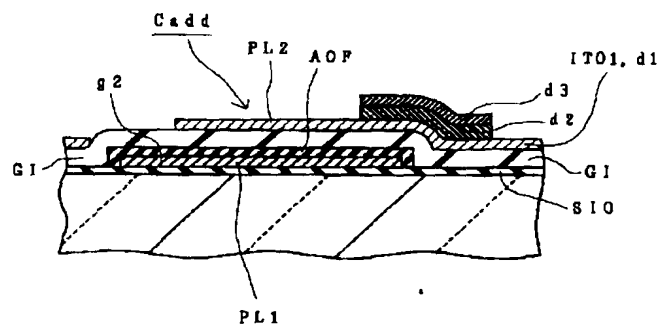
【図 3】

図 3



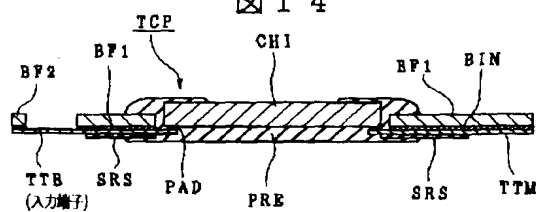
【図 4】

図 4



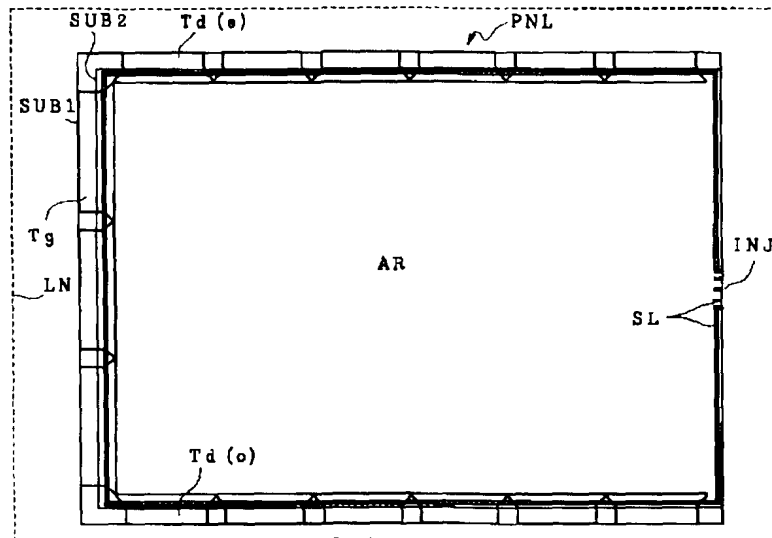
【図 14】

図 14



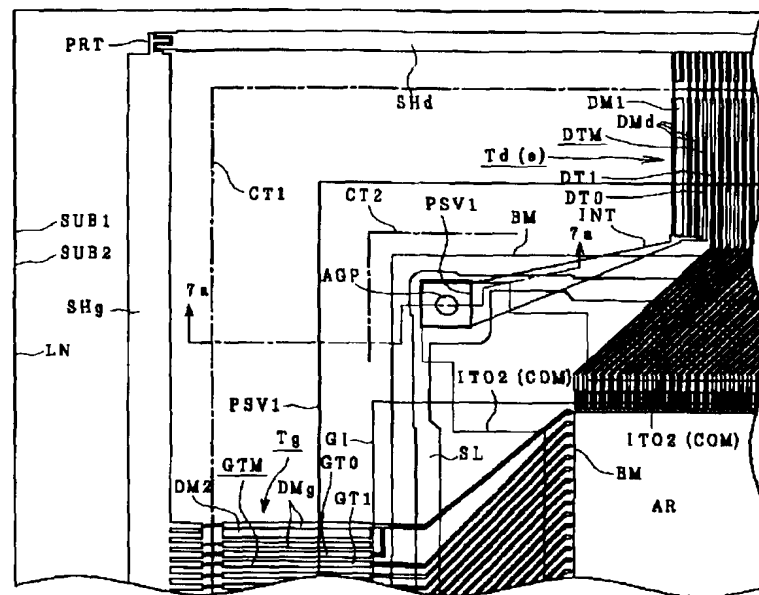
【図 5】

図 5



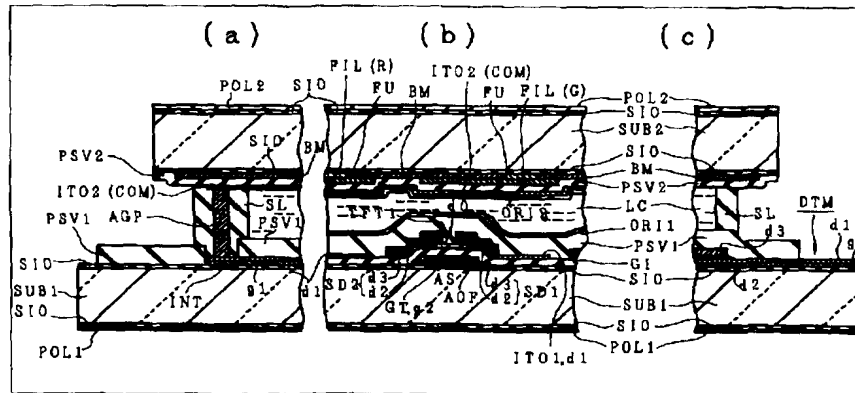
【図 6】

図 6



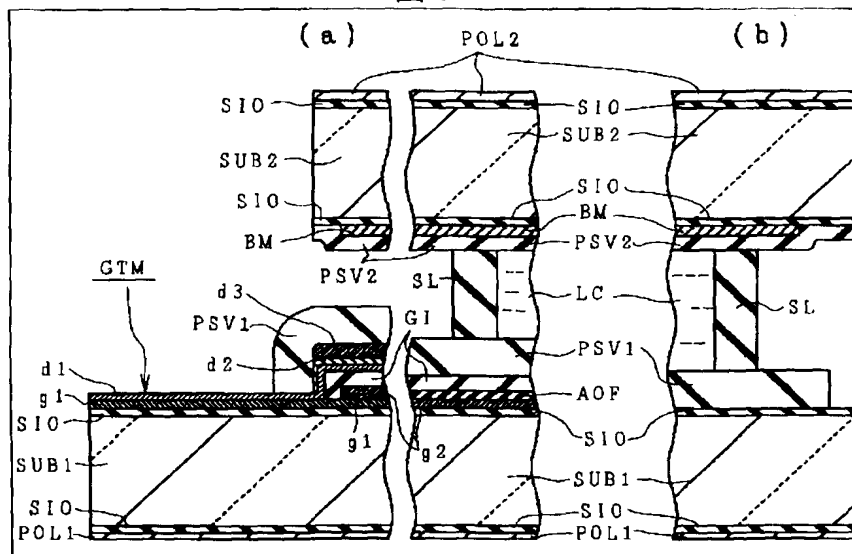
【図 7】

図 7



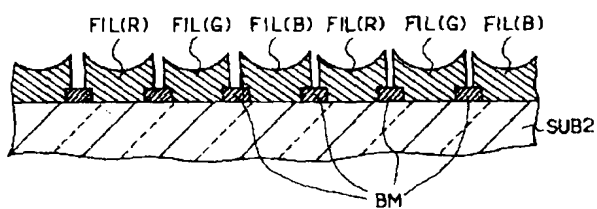
【図 8】

図 8



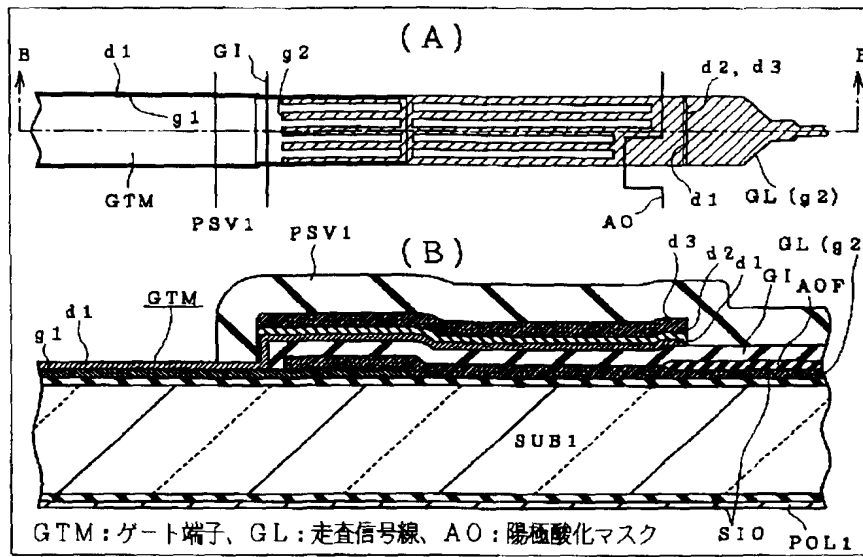
【図 17】

図 17



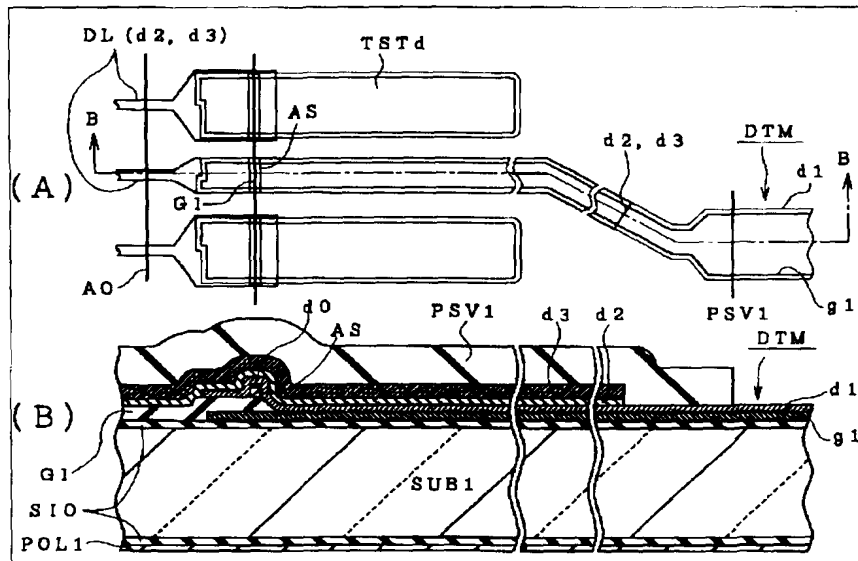
【図 9】

図 9



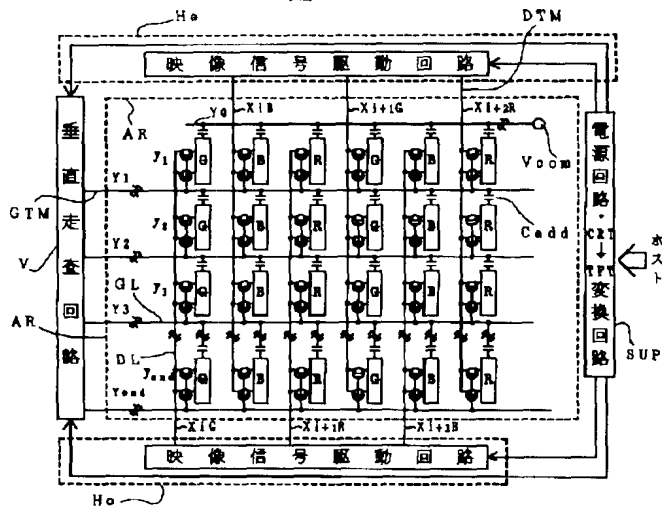
【図 10】

図 10



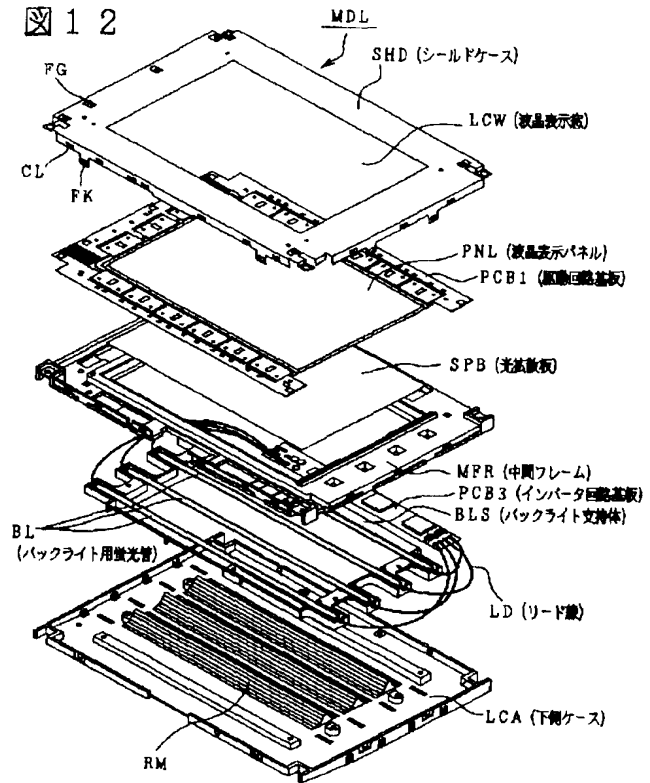
【図 1 1】

図 1 1



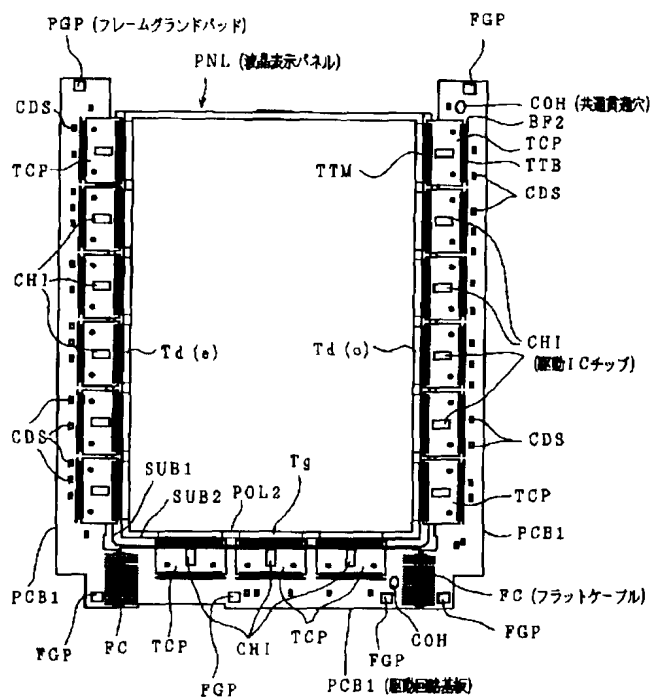
【図 1 2】

図 1 2



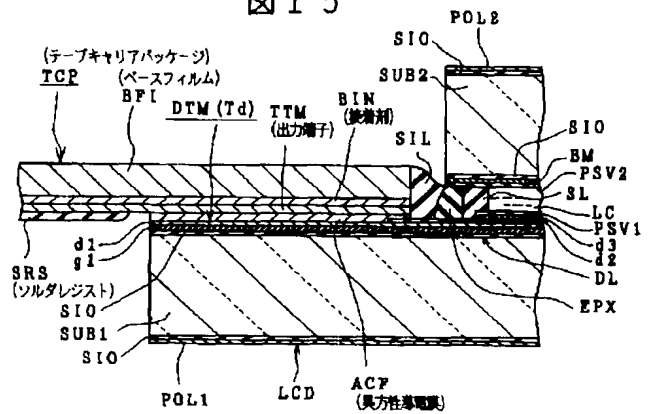
【図 1 3】

図 1 3

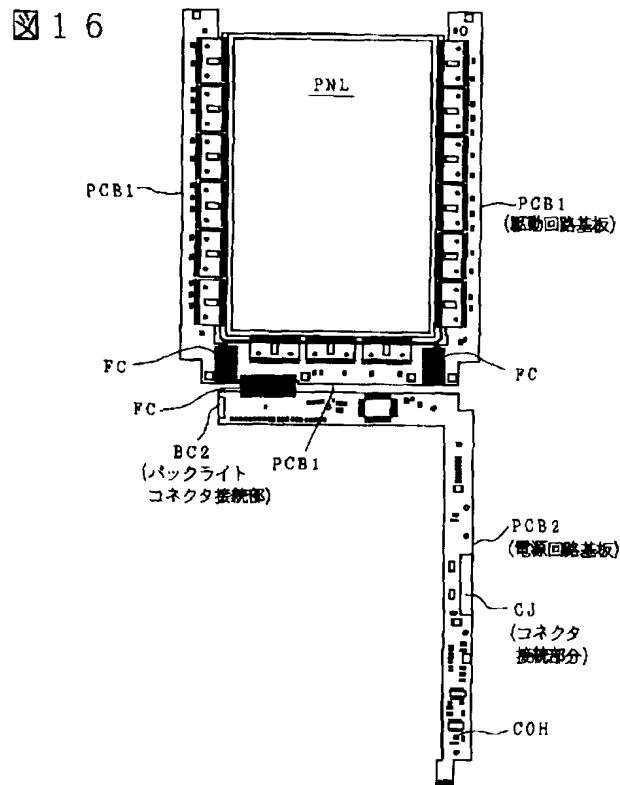


【図 1 5】

図 1 5



【図16】



フロントページの続き

(72) 発明者 久保 晶子
千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72) 発明者 濱本 辰雄
千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72) 発明者 泉 章也
千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内